

## **Verlustleistungsreduzierung bei dynamischen TSPC-Schaltungstechniken**

F. Grassert, F. Sill, C. Cornelius, D. Timmermann

Institut für Angewandte Mikroelektronik und Datentechnik  
Fakultät für Informatik und Elektrotechnik  
Universität Rostock  
Richard-Wagner Str. 31  
18119 Rostock-Warnemünde  
frank.grassert@uni-rostock.de  
frank.sill@uni-rostock.de

Diese Arbeit stellt die neue, dynamische Schaltungstechnik Asynchronous-Chain-True-Single-Phase-Clock-Logik (AC-TSPC) mit sehr hoher Geschwindigkeit und verringerter Leistungsaufnahme vor. AC-TSPC weist ein extrem niedriges Power-Delay-Produkt auf und arbeitet nach dem „Global Synchron - Lokal Asynchron“ Prinzip. Da Low-Power-Systemdesign der Berücksichtigung aller Entwurfs- und Realisierungsebenen bedarf, wurden Untersuchungen in den verschiedenen Ebenen auch bezüglich ihrer Verträglichkeit untereinander durchgeführt. So zeigen die Ergebnisse der Single-rail-AC-TSPC-Logik, dass diese besonders effektiv mit redundanten Signed-Digit-Zahlen eingesetzt werden kann. Dieses Zahlensystem stellt ebenfalls die Grundlage des von uns entwickelten Flächensparalgorithmus dar, wodurch ein durchweg optimiertes Design entstehen kann. Da in zukünftigen Prozessen neben der dynamischen Verlustleistung die statische Verlustleistung zu Zeiten geringer Aktivität einen großen Einfluss haben wird, wurden Ansätze für den Einsatz von Transistoren mit verschiedenen Schwellspannungen bei MVT-Technologien auf verschiedenen Entwurfsebenen untersucht. Die Verlustleistung kann damit ohne Einschränkungen in der Geschwindigkeit stark verringert werden. Für einen Einsatz neuer Schaltungstechniken ist ein weitgehend automatisierter Designflow notwendig. Daher wurde während der Arbeiten erstmals ein Designflow für dynamische Schaltungstechniken entwickelt, mit dem TSPC-Logiken, sowie Domino-Logik oder auch Clock-Delayed-Logiken nahezu vollständig automatisch synthetisiert werden können. Dieser Flow wurde in den industrietüblichen Designflow quasi nahtlos integriert und enthält bereits einige weiterführende Ansätze für eine nochmalige Reduzierung der Verlustleistung. Unsere Arbeiten haben wir mit der Untersuchung von diversen Beispielschaltungen abgeschlossen, wobei eine automatisierte Synthese für verschiedene Schaltungstechniken den Ausgangspunkt bildet. Darauf aufbauend wurden Testumgebungen für die Schaltungen entwickelt, die den Vergleich der Geschwindigkeit oder auch Leistungsaufnahme auf Transistorebene ermöglichen. Nur so kann überprüft werden, inwieweit eine optimale Verbindung z.B. zwischen Algorithmus und Schaltungstechnik erfolgt. Im Rahmen von Kooperationen mit großen Halbleiterherstellern wurden bereits Simulationen für die Integration dieser und weiterer dynamischer Schaltungstechniken auf Testchips durchgeführt.